



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00830322.4

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE, 25/04/01
LA HAYE, LE

This Page Blank (uspto)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.:
Demande n°: 00830322.4

Anmeldetag:
Date of filing: 28/04/00
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
Encoder/decoder architecture and related processing system.

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

/

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/UK
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

This Page Blank (uspto)

"Architettura di codificatore/decodificatore e relativo sistema elaborativo"

* * *

Campo dell'invenzione

5 La presente invenzione si riferisce ai dispositivi codificatori/decodificatori ed in particolare alla loro architettura.

Descrizione della tecnica nota

10 Il problema di ridurre l'attività di commutazione nelle linee bus con elevati carichi capacitivi è stato affrontato in misura estesa nella tecnica.

15 Esistono in particolare tecniche basate sulla soluzione di codificare le sorgenti dati prima della trasmissione sul bus in funzione delle caratteristiche spettrali specifiche dei flussi e delle configurazioni da scambiare.

20 Ad esempio, nel lavoro di M.R. Stan, W.P. Burleson, "Bus-Invert Coding for Low-Power I/O", IEEE Transactions on Very Large Scale Integration Systems, Vol. 3, No. 1, pp. 49-58, March 1995, gli autori hanno proposto uno schema di codifica ridondante, denominato codice Bus-Invert, adatto per trasmettere configurazioni distribuite in modo casuale nel tempo, ad esempio per bus dati. I principali inconvenienti di
25 questo modo di procedere sono legati alla ridondanza richiesta sulle linee di bus ed agli overhead in termini di potenza e di ritardo introdotti dai cosiddetti majority voter compresi nel codificatore.

30 Per quanto riguarda i bus di indirizzamento, sono state studiate altre tecniche basate sul cosiddetto principio della località spaziale. Al riguardo si può far utilmente riferimento al volume di J. L. Hennessy, D. A. Patterson, Computer Architecture - A Quantitative Approach, II Edition, Morgan Kaufmann Publishers, 1996.

35 Nel caso dei bus di indirizzamento è di solito

prevalente l'indirizzamento sequenziale, per cui la correlazione temporale fra indirizzi successivi è in generale molto elevata. Nel lavoro di C. L. Su, C. Y. Tsui, A. M. Despain, "Saving Power in the Control Path of Embedded Processors", IEEE Design and Test of Computers, Vol. 11, No. 4, pp. 24-30, Winter 1994 è stato proposto di codificare le configurazioni con un codice Gray tale da garantire fra indirizzi consecutivi una transizione di un solo bit. Tuttavia in questo lavoro non viene preso in considerazione l'overhead di potenza causato dalla presenza del codificatore/decodificatore Gray. Nel lavoro di H. Mehta, R. M. Owens, M. J. Irwin, "Some Issues in Gray Code Addressing", GLS-VLSI-96: IEEE 6th Great Lakes Symposium on VLSI, pp. 178-180, Ames, IA, March 1996 è stata svolta un'ulteriore analisi sull'indirizzamento basato sui codici Gray e sulle relative architetture, prendendo in particolare in considerazione l'aspetto della modifica del codice Gray in modo da conservare la proprietà di singola transizione negli indirizzi consecutivi nel caso delle macchine con indirizzamento su byte.

Nei lavori L. Benini, G. De Micheli, E. Macii, D. Sciuto, C. Silvano, "Asymptotic Zero-Transition Activity Encoding for Address Busses in Low-Power Microprocessor-Based Systems", GLS-VLSI-97: IEEE 7th Great Lakes Symposium on VLSI, pp. 77-82, Urbana, IL, March 1997 e L. Benini, G. De Micheli, E. Macii, D. Sciuto, C. Silvano, "Address Bus Encoding Techniques for System-Level Power Optimization", DATE-98, pp. 861-866, Feb. 1998 è stato proposto uno schema di codifica ridondante, denominato codice T0, tale da evitare il trasferimento sul bus di indirizzi consecutivi. Questo risultato viene ottenuto utilizzando una linea ridondante INC, per trasferire al sotto-sistema che

funge da ricevitore l'informazione relativa all'organizzazione sequenziale degli indirizzi. Gli incrementi fra configurazioni consecutive possono essere parametrici, in modo da riflettere lo schema di indirizzabilità adottato nella architettura di memoria. In condizioni di regime stazionario di flussi infiniti di indirizzi consecutivi, il codice T0 presenta la proprietà data dal numero delle transizioni sul bus pari a 0. Questo mentre l'indirizzamento basato sul codice Gray richiede una commutazione o transizione di un bit per ciascuna coppia di configurazioni consecutive.

Un'estensione delle potenzialità del codice T0 proposto nei due ultimi lavori citati è data dal codice T0-Xor, ottenuto combinando il codice T0 con una funzione Xor. La presenza di questa funzione, che ha effetto di decorrelazione, evita di dover introdurre nel bus la linea ridondante INC, necessaria per il codice T0. Va notato che il codice T0-Xor può essere anche derivato dall'architettura proposta nel lavoro di S. Ramprasad, N. R. Shanbhag, I. N. Hajj, "A Coding Framework for Low-Power Address and Data Busses", IEEE Trans. On Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 2, June 1999, pp. 212-221, dove è stato indicato come codice Inc-Xor.

Nel caso del cosiddetto codice Offset, sul bus viene trasmessa la differenza fra il valore corrente di $b^{(t)}$ ed il precedente valore $b^{(t-1)}$. Quando i valori trasmessi sui bus presentano un'elevata correlazione, il valore sulle linee di bus codificate $B^{(t)}$ viene ridotto e viene mantenuto costante per dati in sequenza. La differenza adotta la codifica di segno e grandezza (magnitudine) con il bit di segno rappresentato come bit ridondante.

Nel codice Offset-Xor viene dapprima calcolata la differenza $(b^{(t)} - b^{(t-1)})$, per poi attuare una funzione xor fra il valore delle linee di bus codificate ai tempi t e $t-1$. La funzione xor ha un effetto di decorrelazione sull'uscita. Infatti essa semplicemente traduce i bit di $B^{(t)}$ con valore pari ad 1 in transizioni sulle linee di bus, mentre i bit con valore pari a 0 corrispondono a linee di bus stazionarie.

Nel codice T0-Offset, le potenzialità del codice T0 vengono estese adottando lo schema T0 per valori di bus in sequenza, mentre per i valori di bus fuori sequenza viene utilizzato il codice Offset. L'idea di base sfrutta ancora il principio di località spaziale: si assume infatti che per i valori di bus fuori sequenza, il fatto di procedere alla codifica delle differenze $(b^{(t)} - b^{(t-1)})$ potrebbe implicare meno transizioni sulle linee di bus rispetto alla codifica binaria del valore $b^{(t)}$.

Ancora altri codici possono essere derivati estendendo le possibilità dei codici presentati o semplicemente combinando i codici precedenti, così come illustrato nel lavoro di L. Benini, G. De Micheli, E. Macii, D. Sciuto, C. Silvano già citato in precedenza, dove sono stati derivati i codici Dual-T0, T0-BI e Dual-T0-BI.

Il codice T0-Xor-Offset può essere derivato combinando lo schema T0-Xor per valori di bus in sequenza adottando invece il codice Offset per i valori di bus fuori sequenza.

Nel codice T0 con valore variabile del cosiddetto stride, vale a dire il codice T0-Var, lo stride fra configurazioni consecutive può essere reso parametrico. Si introducono linee di bus ridondanti per poter trattare valori diversi di stride (così come 4, 8 e 16) così da poter rappresentare le distanze che più

frequentemente ricorrono fra indirizzi consecutivi. Per n valori di stride S_1, S_2, \dots, S_n sono necessarie $\log_2(S_n)$ linee ridondanti, vale a dire $INC_1, INC_2, \dots, INC_n$.

5 Nel codice Bus-Invert ridotto, nominato anche codice Red-BI, viene sfruttato il fatto che i bit più significativi del bus di sistema presentano un'attività di transizione inferiore rispetto ai bit meno significativi. Si riduce così ad un numero inferiore a
10 $N/2$ la soglia dopo la quale si inverte il valore del bus. Ad esempio, si può implementare il procedimento utilizzando un numero ridotto di 28 o 24 linee di bus invece di 32 linee di bus.

 Il lavoro di E. Musoll, T. Lang, J. Cortadella
15 "Working-Zone Encoding for Reducing the Energy in Microprocessor Address Buses", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 6, No. 4, pp. 568-572, Dec. 1998 trae spunto dalla considerazione del fatto che a ciascun istante di tempo
20 un determinato programma tende a favorire un numero limitato di zone di lavoro dello spazio della memoria degli indirizzi. Di conseguenza, dato il riferimento alla zona di lavoro corrente, il bus trasmette solo l'informazione relativa allo spostamento di questo
25 riferimento rispetto al precedente riferimento a tale zona.

 Lo schema di codifica per zona di lavoro (WZE, acronimo per Working Zone Encoding) è adatto quando la sequenzialità degli indirizzi viene distrutta o per
30 effetto degli accessi interallacciati verso diverse schiere di dati ovvero dagli accessi interallacciati a locazioni di istruzioni e di dati. La principale limitazione di questa tecnica è data dal suo overhead logico fisso del codificatore/decodificatore, che è più
35 elevato, tale da limitare i vantaggi in termini di

potenza legati alla riduzione all'attività di commutazione. In più, questa soluzione introduce ritardi addizionali nei cammini critici di segnale. Un ulteriore inconveniente è dato dal fatto di richiedere

5 linee di bus ridondanti per comunicare il cambiamento della zona di lavoro. Inoltre, questa tecnica si fonda su ipotesi piuttosto vincolanti sulle configurazioni nel flusso. Se la politica di accesso ai dati non è basata su schiere, oppure se il numero delle zone di

10 lavoro è troppo elevato, questo schema di codifica perde la sua efficacia.

Altre tecniche di codifica a livello di sistema sono state prese in esame nei lavori M. R. Stan, W. P. Burleson, "Low-Power Encodings for Global Communication

15 in CMOS VLSI", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 5, No. 4, pp. 444-455, Dec. 1997 e M. R. Stan, W. P. Burleson, "Limited-Weight Codes for Low-Power", IWLPD-94: IEEE/ACM International Workshop on Low Power Design, pp. 209-214, Napa Valley,

20 CA, April 1994, mentre un generale contesto di codifica/decodifica mirante a ridurre l'attività di transizione è stata recentemente proposta nel lavoro di S. Ramprasad, N. R. Shanbhag, I. N. Hajj, "A Coding Framework for Low-Power Address and Data Busses", IEEE

25 Trans. On Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 2, June 1999, pp. 212-221 già citato in precedenza. Sebbene la maggior parte delle tecniche di codifica a bassa potenza possano essere implementate riferendosi a questo contesto, il cammino critico per

30 trasmettere l'informazione sul bus può avere un'influenza significativa sulle prestazioni a livello di sistema. Le considerazioni di natura teorica sulle tecniche di codifica di bus a numero ridotto di transizioni sono state analizzate nel lavoro di S.

35 Ramprasad, N. R. Shanbhag, I. N. Hajj, "Information-

Theoretic Bounds on Average Signal Transistion Activity", IEEE Trans. On Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 3, Sep. 1999, pp. 359-368, dove gli autori derivano limiti rispettivamente
5 inferiore e superiore dell'attività media di transizione di segnale.

Tutti gli schemi menzionati in precedenza sono adatti per sistemi a microprocessore di tipo general purpose, mentre nel lavoro di L. Benini, G. De Micheli,
10 E. Macii, M. Poncino, S. Quer, "Power Optimization of Core-Based Systems by Address Bus Encoding", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 6, No. 4, pp. 554-562, Dec. 1998 sono state analizzati metodi di codifica dipendenti
15 dall'applicazione per sistemi di tipo embedded destinati a funzioni specifiche. Nel lavoro di L. Benini, A. Macii, E. Macii, M. Poncino, R. Scarsi, "Synthesis of Low-Overhead Interfaces for Power-Efficient Communication over Wide Buses", DAC-99, New
20 Orleans, Louisiana, June 1999 sono stati proposti algoritmi per la sintesi di logiche di codifica/decodifica ad hoc con numero ridotto di transizioni. Questo modo di procedere deriva in modo automatico dei codici con bassa attività di transizione
25 e le relative implementazioni a livello di codifica/decodifica a partire da una caratterizzazione statica dettagliata del flusso target. La principale limitazione delle soluzioni dipendenti dall'applicazione è legata alla loro utilizzabilità,
30 che è limitata a sistemi dedicati destinati ad eseguire molte volte uno stesso programma dato.

Nel lavoro di S. Ramprasad, N. R. Shanbhag, I. N. Hajj, "A Coding Framework for Low-Power Address and Data Busses", IEEE Trans. On Very Large Scale
35 Integration (VLSI) Systems, Vol. 7, No. 2, June 1999,

pp. 212-221, già citato in precedenza, è stata proposta un'architettura generale di schema di codifica per bus a bassa potenza. In questa architettura, la sorgente di informazione $b^{(t)}$ viene dapprima elaborata tramite una
5 funzione f_1 che decorrela $b^{(t)}$ rispetto alla sua stima $b^{(t)}$, e poi viene introdotta una variante della funzione di codifica entropica f_2 così da ridurre il numero medio delle transizioni. L'informazione viene fatta passare attraverso una funzione xor, che
10 decorrela l'informazione rispetto ai dati apparsi sul bus al precedente ciclo di clock. Sempre nello stesso lavoro sono state derivate le prestazioni di diversi codici in termini di attività di transizione e riportate alcune considerazioni relative
15 all'occupazione di area, ai ritardi ed all'assorbimento di potenza del codificatore/decodificatore in relazione agli schemi Gray, T0 e INC-Xor. Questa architettura generica può essere specializzata utilizzando diverse alternative per le funzioni interne di decorrelazione
20 così da poter derivare la maggior parte delle tecniche di codifica a bassa potenza di tipo noto. Tuttavia, il cammino critico per trasmettere l'informazione sul bus può avere un'influenza significativa sulle prestazioni a livello di sistema. In effetti, il ritardo di cammino critico del codificatore si realizza attraverso le
25 funzioni f_1 , f_2 e xor, dove f_1 può implementare un blocco logico xor o dbm, mentre f_2 può implementare le funzioni di identità, inv, vbm o pbm. Nel caso migliore, il cammino critico è dato da una coppia di
30 porte xor.

Le tecniche di codifica di bus descritte in precedenza mirano a ridurre l'attività di commutazione dell'interfaccia processore-memoria cambiando il formato dell'informazione trasmessa sul bus. Altre
35 soluzioni si basano sul cambiamento diretto del modo in

cui l'informazione viene immagazzinata nella memoria, in modo tale per cui i flussi di indirizzi hanno già di per sè un'attività di transizione ridotta: al riguardo si può vedere il lavoro di P. R. Panda, N. D. Dutt,
5 "Low-Power Memory Mapping Through Reducing Address Bus Activity", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 3, pp. 309-320, Sep. 1999. Le tecniche di mappatura della memoria e di codifica del bus non sono mutuamente esclusive. Le
10 strategie ottimali di minimizzazione della potenza devono in generale sfruttare il loro effetto sinergico.

Scopi e sintesi della presente invenzione

La presente invenzione si prefigge lo scopo di superare i problemi prospettati in precedenza tramite
15 una soluzione alternativa.

Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un'architettura di codificatore/decodificatore avente le caratteristiche richiamate in modo specifico nelle rivendicazioni che
20 seguono. L'invenzione riguarda anche il relativo sistema elaborativo a bus.

In sostanza, la soluzione secondo l'invenzione si basa sul riconoscimento del fatto che, nei sistemi basati su microprocessore, si possono ottenere notevoli
25 economie di potenza tramite la riduzione delle attività di transizione dei bus di sistema. L'assorbimento di potenza dovuto all'attività di transizione dei pad di input/output in un circuito VLSI varia dal 10% al 80% della potenza complessiva, con un valore tipico del 50%
30 per i circuiti ottimizzati in funzione del basso assorbimento. Fatto, questo, riconosciuto già nel primo dei lavori di S. Ramprasad, N. R. Shanbhag e I. N. Hajj citati in precedenza. L'elevata dissipazione di potenza associata ai pad di input/output è dovuta ai valori
35 elevati delle capacità off-chip, che sono tipicamente

di due o tre ordini di grandezza maggiori delle capacità on-chip. Il fatto di minimizzare l'attività di commutazione dei bus off-chip può dare origine a notevoli economie in termini di dissipazione di
5 potenza.

La presente invenzione punta sui sistemi basati su microprocessore ad elevate prestazioni in cui per la comunicazione processore-memoria vengono utilizzati bus dati e indirizzi molto ampi. Per questa classe di
10 sistemi, l'invenzione mira a definire interfacce di bus dedicate ed architetture di codifica tali da ridurre l'attività di transizione sui bus a livello di sistema, caratterizzati da valori elevati di capacità. Sotto questo punto di vista, l'invenzione può essere vista
15 come un ideale sviluppo delle soluzioni che sfruttano il carattere locale dei dati per ridurre la potenza di commutazione e che richiedono nello stesso tempo un ridotto overhead in termini di ritardo nel cammino critico.

20 In modo più specifico, la presente invenzione propone un'architettura di carattere generale per implementare diverse classi di tecniche di codifica di bus che sono efficienti dal punto di vista dell'assorbimento di potenza e la cui caratteristica
25 principale è quella di ridurre tanto la potenza di commutazione quanto la latenza di bus. Le architetture di codifica/decodifica a bassa potenza secondo l'invenzione possono essere utilizzate in unione con tecniche di allocazione di memoria del tipo di quella
30 descritta nel lavoro di P. R. Panda, N. D. Dutt, "Low-Power Memory Mapping Through Reducing Address Bus Activity", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 3, pp. 309-320, Sep. 1999. Tali tecniche di allocazione di memoria
35 pongono l'accento sul carattere sequenziale degli

accessi per minimizzare ulteriormente il numero medio delle transizioni sulle linee di bus.

Le caratteristiche principali della soluzione secondo l'invenzione sono le seguenti.

5 L'architettura di sistema target considerata è molto generale ed in grado di modellare la comunicazione a livello hardware/software sui bus a livello di sistema in termini dei principali parametri che influenzano la potenza di commutazione del sistema:
10 alimentazione, frequenza, attività di transizione e carico capacitivo.

L'architettura di codifica/decodifica proposta implementa diverse classi di tecniche di codifica di bus e consegue un'ottimizzazione in termini di
15 temporizzazione: il ritardo del cammino critico viene minimizzato così da ridurre la latenza degli accessi al bus.

Per migliorare ulteriormente l'attività di transizione sui bus a livello di sistema è possibile
20 implementare, utilizzando l'architettura di codificatore/decodificatore proposta, diverse tecniche di codifica a bassa potenza, adatte per l'impiego su bus indirizzi, caratterizzate da un elevato carattere locale dei riferimenti di memoria.

25 L'implementazione dell'architettura di codifica/decodifica dimostra che, per bus con elevati carichi capacitivi, l'economia in termini di potenza dovuta alla riduzione dell'attività di transizione non viene penalizzata dall'overhead in termini di potenza
30 introdotto dalla logica di codifica/decodifica.

Descrizione particolareggiata dei disegni

L'invenzione verrà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

- la figura 1 illustra in generale l'architettura del sistema target attuabile con l'invenzione,

- la figura 2, comprendente quattro diverse sezioni indicate rispettivamente come a, b, c e d, 5 illustrano quattro possibili configurazioni di interfaccia di bus,

- la figura 3 illustra, sotto forma di uno schema a blocchi, una possibile configurazione di una struttura di codificatore operante secondo 10 l'invenzione,

- le figure 4 a 7 illustrano quattro diverse possibili architetture di codificatore/decodificatore secondo l'invenzione specializzate in funzione dell'impiego di diversi schemi di codifica,

15 la figura 8 illustra una possibile modifica della parte di codificatore dell'architettura della figura 4 sviluppata in funzione di applicazioni ad alta velocità, e

- la figura 9 illustra la versione ad alta 20 velocità della sezione codificatore della struttura illustrata nella figura 5.

Descrizione particolareggiata di esempi di attuazione preferita dell'invenzione

A titolo introduttivo è opportuno descrivere in 25 primo luogo la struttura dell'architettura proposta per modellare la comunicazione a livello di sistema. Tutto questo per esaminare successivamente gli schemi di codifica proposti.

In particolare, la figura 1 rappresenta, sotto 30 forma di uno schema a blocchi, l'architettura del sistema target. Si tratta essenzialmente di un sistema multiprocessore a memoria condivisa suscettibile di essere implementato utilizzando una struttura di tipo monolitico (System-On-a-Chip) ovvero un approccio di 35 tipo multichip.

Il sistema comprende uno o più processori P0, ..., Pn, le rispettive cache di istruzioni (I-cache) e dati (D-cache), il controllore di memoria MC, la memoria principale MM, i controllori di ingresso e uscita (I/O controller), le unità periferiche, nonché i co-processori CP0, ... , Cpm per sopportare specifiche applicazioni (ad esempio MPEG). Tutti questi blocchi di base sono collegati attraverso una rete di interconnessione IN comprendenti bus di indirizzi, dati e di controllo implementati sfruttando diverse topologie. Data l'architettura target, gli aspetti funzionali prevalenti sono quelli collegati ai criteri di comunicazione hardware/software tanto sui bus a livello di sottosistema, quali i bus processore-cache, quanto sui bus a livello di sistema.

Nell'architettura target si introduce un'interfaccia di bus ai livelli di sottosistema e di sistema al fine di poter condizionare i quattro parametri che influenzano la potenza di commutazione del sistema: alimentazione, frequenza, attività di commutazione, carico capacitivo.

Nella figura 2 vengono presentate quattro diverse architetture per il modulo di interfaccia di bus.

In particolare la soluzione rappresentata nella figura 2a attua una funzione di scalamento tramite traslazione di livello, attuata tramite moduli LS essenzialmente configurati come traslatori di livello (level shifter). Questo tipo di interfaccia si basa sull'approccio denominato schedulazione delle tensioni di alimentazione a livelli multipli. In pratica, le varie parti dell'architettura del sistema target vengono alimentate con livelli di tensione diversi così da ridurre l'energia globale. In sostanza, questa soluzione prevede di ridurre l'assorbimento di potenza tenendo conto dei limiti in termini di throughput e di

risorse. In sostanza i moduli del sistema che si trovano sui cammini critici vengono alimentati con la tensione massima, evitando così qualunque aumento del ritardo. Dall'altra parte, la tensione fornita ai
5 moduli che non sono sui cammini critici viene minimizzata tramite tecniche di scalamento di tensione. La presenza, nell'ambito del sistema, di blocchi logici alimentati con livelli di tensioni diversi impone l'impiego di traslatori di livello LS in corrispondenza
10 dell'interfaccia di bus.

La soluzione rappresentata nella figura 2b prevede invece di utilizzare blocchi moltiplicatori/demoltiplicatori di frequenza FDM che realizzano un'azione di modellamento della
15 comunicazione sui bus quando i moduli logici operano con diverse frequenze operative.

La soluzione rappresentata nella figura 2c prevede l'impiego di blocchi di codifica E e di decodifica D così da modificare l'attività di transizione dei bus.
20 La struttura dei blocchi E e D verrà discussa nel seguito in maggior dettaglio.

Infine, la soluzione rappresentata nella figura 2d prevede semplicemente lo svolgimento di un'azione di buffer tramite rispettivi moduli B1, B2 (peraltro
25 previsti anche nelle altre soluzioni descritte in precedenza) al fine di disaccoppiare i carichi capacitivi. I buffer B1, B2 possono essere inseriti in corrispondenza delle interfacce modulo/bus e possono essere utilizzate per dividere l'intero bus in diversi
30 segmenti di bus. Questa soluzione è descritta, ad esempio, nel lavoro di J. Y. Chen, W. B. Jone, J. Wang, H.-I- Lu., and T. F. Chen "Segmented Bus Design for Low-Power Systems," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 1, pp.
35 25-29, Mar. 1999.

Con specifico riferimento ai blocchi di codifica/decodifica (Encdec) a cui si è fatto cenno in precedenza, l'invenzione propone uno schema che mantiene un ampio margine di generalità minimizzando peraltro i ritardi di cammino critico così da ridurre la latenza di bus. Le prestazioni dello schema di codifica/decodifica costituiscono un'esigenza essenziale dal momento che l'ampiezza di bus e la frequenza di clock sono in costante crescita. Pertanto, è importante perseguire un'ottimizzazione simultanea dei parametri di potenza e di temporizzazione.

La porzione di codifica relativa è illustrata, in termini generali, nella figura 3. Nelle figure successive sono invece illustrate le specifiche strutture delle sezioni di codifica e di decodifica per ciascuna fra diverse tecniche di codifica considerate.

In generale, con riferimento alla figura 3, il codificatore riceve come ingresso $b^{(t)}$ il valore corrente di informazione all'istante t e genera come uscita $B^{(t)}$, il valore sulle linee di bus codificate allo stesso istante t .

Il codificatore in questione comprende in primo luogo di due registri 10, 12, rispettivamente per $b^{(t-1)}$ e $B^{(t-1)}$, ossia per i valori di ingresso e di uscita all'istante precedente $t-1$, nonché tre blocchi di logica combinatoria.

Si tratta per la precisione di:

- un blocco di predizione P che genera una predizione o stima $b^{(t)}$ del valore corrente di $b^{(t)}$ sulla base del valore precedente $b^{(t-1)}$, ossia

$$b^{(t)} = P(b^{(t-1)}) \quad (1)$$

- un blocco di decorrelazione D , che realizza un'azione di decorrelazione dell'uscita $b^{(t)}$ rispetto al suddetto valore di predizione o di stima ossia:

$$e^{(t)} = D(b^{(t)}, b^{(t)}) \quad (2)$$

ed infine

- un blocco selettore S suscettibile di scegliere, quale valore di uscita, uno fra i suoi ingressi $b^{(t)}$, $B^{(t-1)}$ ed $e^{(t)}$.

5 Dal momento che lo scopo delle tecniche di codifica proposte è quello di minimizzare tanto l'assorbimento globale in termini di potenza quanto la latenza di bus, le relative funzioni di codifica vengono ottimizzate con un duplice scopo.

10 Da una parte, si deve fare in modo che l'overhead di potenza dovuto al codificatore/decodificatore venga mantenuto al di sotto del risparmio in termini di potenza dovuto alla riduzione dell'attività di commutazione di bus. Di conseguenza l'hardware relativo
15 alle funzioni di codifica deve essere quanto più possibile contenuto. Dall'altra parte, il ritardo di cammino critico (attraverso i blocchi D e S) viene minimizzato così da ridurre la latenza all'accesso di bus.

20 Di preferenza, almeno per alcuni dei suddetti blocchi logici, è preferita un'implementazione di tipo pass-gate.

Ad esempio, si può considerare il blocco S, che può implementare la funzione di multiplexer (mux) o la
25 funzione xor; nel primo caso sono necessari due pass-gate ed un invertitore, mentre nel secondo caso sono richiesti due pass-gate e due invertitori. In entrambi i casi, il cammino critico del blocco S è dato dal ritardo di propagazione attraverso un invertitore ed un
30 pass-gate.

La tabella che segue raccoglie diverse possibili implementazioni delle funzioni di codifica P, D e S corrispondenti a diverse classi di codifica (colonna
più a sinistra della tabella) discusse nella parte
35 introduttiva della precedente descrizione.

CODIFICA	P	D	S	RED.
T0	Inc.	Xor	Mux.	Y
Bus-Invert	Id.	Xor	Inv.	Y
T0-Bus-Invert	Inc./Id.	Xor	Mux./Inv.	Y
T0-Xor	Inc.	Xor	Xor	Y
Offset	Id.	Diff.	-	Y
Offset-Xor	Id.	Diff.	Xor	Y
T0-Offset	Inc./Id.	Xor/Diff.	Mux	Y
T0-Xor-Offset	Inc./Id.	Xor/Diff.	Xor	Y

Per ciascuna classe di codici indicata nella colonna di sinistra, la stessa tabella indica quali
 5 funzioni sono implementate per ciascuno dei blocchi P, D e S mentre la colonna più a destra indica il fatto che si tratti (X) o meno (N) lo schema di tipo ridotto.

Nella tabella, la voce Inc. identifica evidentemente la linea ridondante a cui si è più volte
 10 fatto riferimento nella parte introduttiva della descrizione. La voce Id. corrisponde alla funzione identità, la voce Xor alla omologa funzione logica e la voce Diff. alla differenza. Infine, le voci Inv. e Mux. Corrispondono alla funzione di inversione logica e di
 15 multiplexer.

Si apprezzerà che nel caso del codice Offset non sono presenti registri relativi a $B^{(t)}$.

In generale, la struttura rappresentata nella figura 3 è mappata nelle figure 4, 5, 6 e 7 in modo
 20 tale da implementare rispettivamente i codici T0, T0-Xor, Offset e Offset-xor.

Nelle figure 4 a 7 gli stessi riferimenti alfanumerici sono stati utilizzati per indicare parti identiche o equivalenti a quelle introdotte nella
 25 figura 3. Nelle stesse figure 4 a 7, i riferimenti

numerici 14 e 16 rappresentano rispettivi registri presenti nella parte di decodifica.

Negli stessi disegni il riferimento numerico 17 indica la funzione Inc., mentre il riferimento 18 indica corrispondenti porte logiche di tipo Xor. I riferimenti 20, 22 indicano, rispettivamente, nodi di differenza e di somma.

Nella sola figura 3, il riferimento 24 indica due moduli che implementano la funzione mux.

La figura 8 illustra i dettagli della sezione di codifica rappresentata nella figura 4 in particolare per quanto riguarda il fatto che il ritardo di cammino critico si estende a partire dalla linea $b^{(t)}$ verso $B^{(t)}$ passando attraverso la porta Xor 18 l'invertitore 26 ed il pass-gate 28.

La figura 9 illustra una versione ad alta velocità della sezione di codifica dell'architettura relativa al codice T0-Xor rappresentata nella figura 5. Nello schema della figura 9, il cammino critico è stato ridotto ad un singolo pass-gate 28 rispetto al ritardo delle due porte Xor 18 della figura 5. Nella versione ad alta velocità della figura 9 la maggior parte della logica è stata pre-calcolata durante il ciclo di clock precedente.

Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le forme di attuazione potranno essere variati rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione, così come definita dalle rivendicazioni annesse. Ciò vale, ad esempio, per la forma di attuazione illustrata nella figura 6 dove il blocco di selezione (S nello schema della figura 3) è di fatto assente o, in alternativa, può essere visto come di fatto integrato con il blocco

di decorrelazione, il blocco di predizione essendo configurato per implementare la funzione identità.

RIVENDICAZIONI

1. Architettura di codificatore/decodificatore per bus suscettibile di ricevere un valore corrente di informazione di ingresso ($b^{(t)}$) relativo ad un istante dato e di generare, a partire da detto valore corrente di ingresso, un corrispondente valore corrente di uscita ($B^{(t)}$) su linee di bus codificate relativo allo stesso istante dato, caratterizzata dal fatto che comprende:
- 5 - almeno un elemento di memoria (10, 12) per memorizzare rispettivi valori precedenti di informazione di ingresso ($b^{(t-1)}$) e di uscita ($B^{(t-1)}$),
 - un blocco di predizione (P) per generare una stima ($b^{(t)}$) di detto valore corrente di informazione di ingresso a partire da detto valore precedente di informazione di ingresso, e
 - 15 - un blocco di decorrelazione (D) per decorrelare detto valore corrente di informazione di ingresso rispetto a detta stima così da produrre un risultato di decorrelazione ($e^{(t)}$),
 - 20 detto valore corrente di uscita ($B^{(t)}$) essendo suscettibile di essere selezionato come uno fra:
 - detto valore corrente di informazione di ingresso ($b^{(t)}$),
 - 25 - detto valore precedente di uscita ($B^{(t-1)}$), e
 - detto risultato di decorrelazione ($e^{(t)}$).
2. Architettura secondo la rivendicazione 1, caratterizzata dal fatto che comprende un blocco di selezione (S) per scegliere detto valore corrente di uscita ($B^{(t)}$).
- 30 3. Architettura secondo la rivendicazione 1 o la rivendicazione 2, caratterizzata dal fatto che comprende rispettivi registri (10, 12) per memorizzare detti rispettivi valori precedenti di informazione di ingresso ($b^{(t-1)}$) e di uscita ($B^{(t-1)}$).
- 35

4. Architettura secondo una qualsiasi delle precedenti rivendicazioni, caratterizzata dal fatto che almeno uno di detti blocchi (P, D, S) è almeno in parte implementato tramite pass-gate (28)

5 5. Architettura secondo una qualsiasi delle precedenti rivendicazioni, caratterizzata dal fatto che comprende:

- quale blocco di predizione (P), una linea ridondante (17) preferibilmente configurata per
10 trasferire informazione sulla sequenzialità di detta informazione,

- quale blocco di decorrelazione (D), una porta logica xor (18), e

- quale blocco di selezione (S) per scegliere
15 detto valore corrente di uscita, un multiplexer (24).

6. Architettura secondo la rivendicazione 5, caratterizzata dal fatto che detto blocco di selezione (S) comprende un inverter (26) ed un pass-gate (28).

7. Architettura secondo una qualsiasi delle
20 rivendicazioni 1 a 4, caratterizzata dal fatto che comprende:

- quale modulo di predizione (P), un modulo di identità,

- quale blocco di decorrelazione (D), una porta
25 logica xor, e

- quale blocco di selezione (S) per scegliere detto valore corrente di uscita, un inverter.

8. Architettura secondo una qualsiasi delle
30 rivendicazioni 1 a 4, caratterizzata dal fatto che comprende:

- quale modulo di predizione (P), uno fra una linea ridondante preferibilmente configurata per trasferire informazione sulla sequenzialità detta informazione ed un modulo di identità,

- quale blocco di decorrelazione (D), una porta logica xor, e

- quale blocco di selezione (S) per scegliere detto valore corrente di uscita, uno fra un multiplexer
5 ed un inverter.

9. Architettura secondo una qualsiasi delle rivendicazioni 1 a 4, caratterizzata dal fatto che comprende:

- quale blocco di predizione (P), una linea
10 ridondante (17) preferibilmente configurata per trasferire informazione sulla sequenzialità detta informazione,

- quale blocco di decorrelazione (D), una porta logica xor (18), e

15 - quale blocco di selezione (S) per scegliere detto valore corrente di uscita, una porta logica xor (18).

10. Architettura secondo la rivendicazione 9, caratterizzata dal fatto che detto blocco di selezione
20 (S) comprende un inverter (26) ed un pass-gate (28).

11. Architettura secondo la rivendicazione 1, caratterizzata dal fatto che comprende:

- quale blocco di predizione (P), un modulo di identità, e

25 - quale blocco di decorrelazione (D), suscettibile anche di scegliere detto valore corrente di uscita ($B^{(t)}$), un modulo di differenza (20).

12. Architettura secondo una qualsiasi delle rivendicazioni 1 a 4, caratterizzata dal fatto che
30 comprende:

- quale blocco di predizione (P), un modulo di identità, e

- quale blocco di decorrelazione (D), un modulo di differenza (20), e

- quale blocco di selezione (S), suscettibile di scegliere detto valore corrente di uscita (B), una porta logica xor (18).

5 13. Architettura secondo una qualsiasi delle rivendicazioni 1 a 4, caratterizzata dal fatto che comprende:

- quale blocco di predizione (P), uno fra una linea ridondante (17) preferibilmente configurata per trasferire informazione sulla sequenzialità detta
10 informazione ed un modulo di identità,

- quale blocco di decorrelazione (D), uno fra una porta logica xor (18) e un modulo di differenza, e

- quale blocco di selezione (S) per scegliere detto valore corrente di uscita, un multiplexer (24).

15 14. Architettura secondo una qualsiasi delle rivendicazioni 1 a 4, caratterizzata dal fatto che comprende:

- quale blocco di predizione (P), uno fra una linea ridondante (17) preferibilmente configurata per trasferire informazione sulla sequenzialità detta
20 informazione ed un modulo di identità,

- quale blocco di decorrelazione (D), uno fra una porta logica Xor (18) e un modulo di differenza, e

- quale blocco di selezione (S) per scegliere
25 detto valore corrente di uscita, una porta logica xor.

15. Sistema elaborativo a bus comprendente almeno un interfaccia di bus basata su un architettura secondo una qualsiasi delle precedenti rivendicazioni.

30 16. Sistema secondo la rivendicazione 15, caratterizzato dal fatto che detta almeno un'interfaccia di bus opera a livello di sottosistema.

17. Sistema secondo la rivendicazione 16, caratterizzato dal fatto che detta almeno un'interfaccia di bus opera a livello di bus
35 processore-cache.

18. Sistema secondo la rivendicazione 15, caratterizzato dal fatto che detta almeno un'interfaccia di bus opera a livello di di sistema.

19. Sistema secondo una qualsiasi delle
5 rivendicazioni 15 a 18, sotto forma di sistema multiprocessore a memoria condivisa.

20. Sistema secondo una qualsiasi delle rivendicazioni 15 a 19, implementato utilizzando una struttura di tipo monolitico (System-On-a-Chip).

10 21. Sistema secondo una qualsiasi delle rivendicazioni 15 a 19, implementato utilizzando una struttura di tipo multichip.

RIASSUNTO

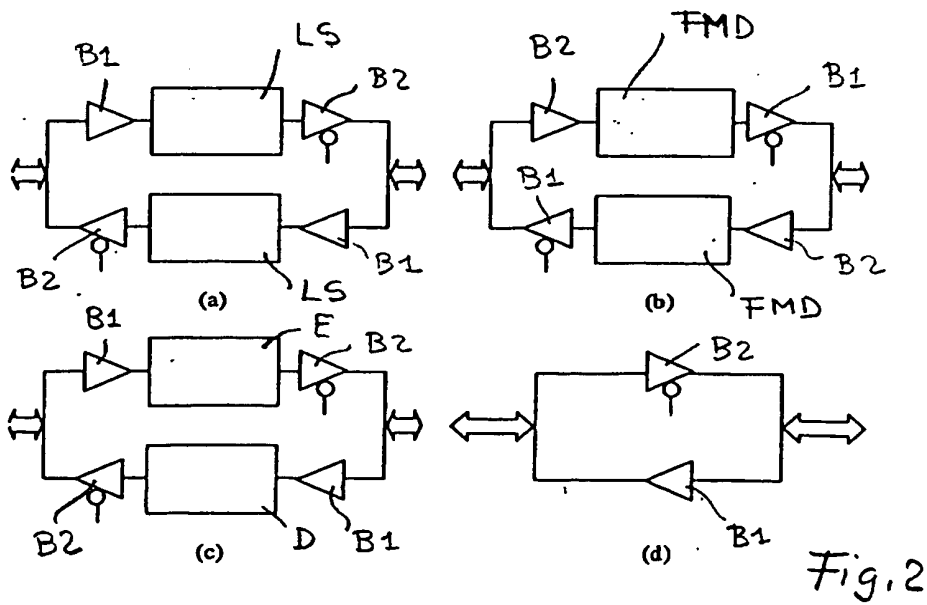
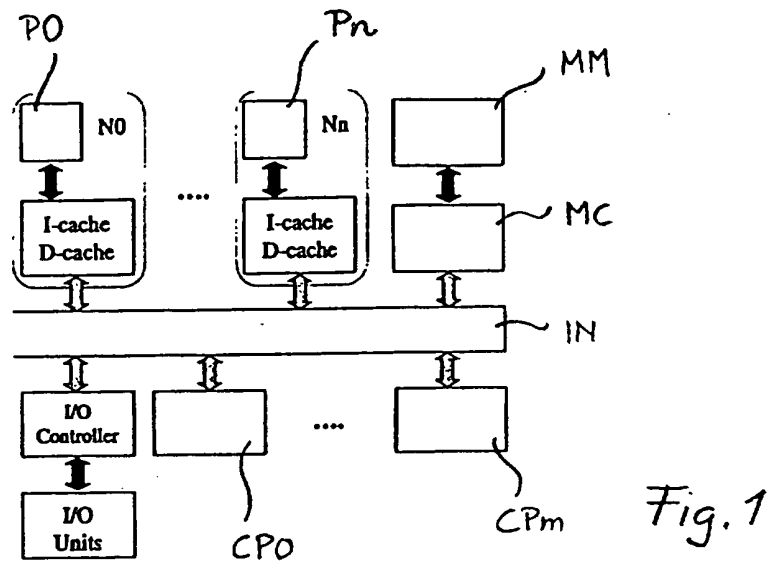
Un'architettura di codifica/decodifica per bus suscettibile di minimizzare l'assorbimento di potenza riducendo l'attività di commutazione genera, a partire da un valore di informazione di ingresso ($b^{(t)}$) relativo ad un istante dato (t), un corrispondente valore corrente di uscita ($B^{(t)}$) su linee di bus codificate relativo allo stesso istante dato. L'architettura comprende mezzi di memorizzazione (10, 12) per memorizzare rispettivi valori precedenti di informazione di ingresso ($b^{(t-1)}$) e di uscita ($B^{(t-1)}$) relativi ad istanti precedenti al suddetto istante dato (t). Un blocco di predizione (P) genera, a partire dal valore precedente di informazione di ingresso, una stima ($\hat{b}^{(t)}$) del valore corrente di informazione di ingresso. Un blocco di decorrelazione (D) decorrela il valore corrente di informazione di ingresso ($b^{(t)}$) rispetto a detta stima. Infine, un blocco di selezione (S) sceglie quale valore corrente di uscita ($B^{(t)}$) uno fra il valore corrente di informazione di ingresso ($b^{(t)}$), il risultato della decorrelazione ($e^{(t)}$) attuato dal blocco di decorrelazione (D) ovvero il valore precedente di uscita ($B^{(t-1)}$).

(Figura 3)

25

This Page Blank (uspto)

Best Available Copy



2/4

